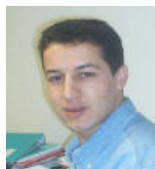


# Boubekeur Menouer

Situation de famille : *Marié sans enfants*

Nationalité : *Algérienne*

Date et lieu de naissance : *02/02/1975, Relizane, Algérie*



Mr Boubekeur Menouer

10 Rue Gallice

38100 Grenoble. Cedex France

☎ : +33 (0)476 574 510 📠 : +33 (0)674 195 492

***e-mail*** : [boub\\_men@yahoo.fr](mailto:boub_men@yahoo.fr)

[Menouer.Boubekeur@imag.fr](mailto:Menouer.Boubekeur@imag.fr)

## Objectif

---

**Recherches scientifiques dans les domaines : privé ou public**

## Position actuelle

---

**10/00 – actuellement TIMA Laboratory Grenoble, France.**

*Doctorat en informatique à l'Université Joseph Fourier. Grenoble I.*

*Recherche appliquée : Propositions de méthodologies et réalisation de prototypes pour la vérification de circuits asynchrones.*

## Détail Formation

---

**00 – 04 IMAG UJF, INPG et CNRS. Grenoble, France**

**Thèse de Doctorat de 3<sup>ième</sup> cycle en Informatique** : "Vérification formelle de systèmes asynchrones" Application sur les circuits asynchrones.

Directrice de thèse : Prof. Dominique Borrione. Université Joseph Fourier

**99 – 00 IMAG UJF, INPG et CNRS. Grenoble, France**

DEA « ISC » Informatique Système et Communication.

**93 – 97 Institut d'informatique Université d'Oran, Es Senia Algérie**

Ingénieur d'état en informatique Option : Soft Ware

**Soutenu en 97, avec félicitations du jury.**

**92 – 93 Institut des sciences exactes Université d'Oran, Es Senia Algérie**

**Tronc Commun Sciences Exactes**

**89 – 92 Lycée Nouveau de Relizane Relizane, Algérie**

Baccalauréat, Série : Maths, (E) Mention : A-Bien

## Langues

---

**Arabe** : Courant (langue maternelle)

**Français** : Courant (langue d'enseignement)

**Anglais** : Notions (lu, écrit et parlé)

## Expériences professionnelles

---

**10/00 – actuellement TIMA Laboratory Grenoble, France.**

Recherche appliquée : Vérification Formelle de Circuits Asynchrones

**11/98 – 07/99 Adem Info Oran, Algérie**

Formation et Développement de Logiciels,

**04/98 – 11/99 Adem Info Oran, Algérie**

Maintenance, Formation et Installation Soft,

**10/97 – 04/98 Adem Info Oran, Algérie**

Formation et Installation Soft,

## Stages

---

- 1999 - 2000, Stage de DEA, Laboratoire Verimag, Grenoble I, France**  
Vérification et validation de systèmes critiques "Construction de systèmes abstraits à l'aide de procédures de décision".
- 01/99 - 05/99, Stage de formation de technicien. Winner Inf, Oran, Algérie.**  
*Installation et administration des réseaux MicroSoft.(Win3.X/95/98, Win Nt)*
- 1996 - 1997, Projet de Fin d'étude, Institut d'info, université d'Oran**  
Placement d'une BDD parallèles sur une architecture multiprocesseur.
- 12/96 - 05/97, Stage de formation de technicien. Winner Inf, Oran, Algérie.**  
*Maintenance et réparation des Micro-Ordinateurs*

## Publications

---

### International conferences

- 1) presented at FDL'03  
BOUBEKEUR M., BORRIONE D., MOUNIER L., RENAUDIN M., SIRIANNI A.  
Modeling CHP descriptions in Labeled Transitions Systems for an efficient formal validation of asynchronous circuit specifications. *Publ. in* Forum on specification and Design Languages (FDL'03), Frankfurt, Germany, September 23-26, 2003. *Sélectionné pour un chapitre de livre qui sera publié en 2004.*
- 1) presented at IFIP-VLSI 2003  
BORRIONE D., BOUBEKEUR M., MOUNIER L., SIRIANNI A., RENAUDIN M.  
Validation of asynchronous circuit specifications using IF/CADP. *Publ. in* 12th IFIP International Conference on Very Large Scale Integration (VLSI'03), Darmstadt, Germany, December 1-3, 2003.
- 3) presented at Int. Conf. on System Sciences (HICSS'03)  
BORRIONE D., BOUBEKEUR M., DUMITRESCU E., RENAUDIN M., RIGAUD J.-B., SIRIANNI A. An approach to the introduction of formal validation in an asynchronous circuit design flow. *Publ. in* 36th Hawaii International Conference on Systems Science, Hawaiï, USA, January 6-9, IEEE, 2003.
- 4) presented at DCC'02 workshop  
BORRIONE D., BOUBEKEUR M., DUMITRESCU E., RENAUDIN M., RIGAUD J.-B., SIRIANNI A. Introducing formal validation in an asynchronous circuit design flow. *Publ. in* The Fourth International Workshop on Designing Correct Circuits, Grenoble, France, April 6-7, 2002.

### National workshops (in French)

- 5) 5th Journées Nationales du Réseau Doctoral de Microélectronique  
Menouer Boubekeur, "La vérification formelle de circuits asynchrone". JNRDM' 02, Grenoble, 23-25 Avril 2002.
- 6) 3rd colloque en CAO de circuits et systèmes intégrés:  
Menouer Boubekeur, "Une approche pour la vérification formelle de circuits asynchrone" CAO-GDR'02, Paris 15-17 Mai, 2002.
- 7) 6th Journées Nationales du Réseau Doctoral de Microélectronique  
Menouer Boubekeur, "Étude de cas : vérification formelle d'un filtre asynchrone à l'aide de techniques de model-checking énumératif ". JNRDM' 03, Toulouse, 14-16 Mai 2003.

### Chapitre de Livre (en anglais)

8) M. Boubekeur, D. Borrione, et al. "Languages for System Specification", to be published by Kluwer in 2004.

### Démonstration de prototypes

Présentation d'un prototype de vérification de circuits asynchrones en utilisant l'environnement CHP2IF. DATE 2004. Paris. France.

Présentation d'un prototype de vérification des circuits asynchrones, utilisant des modèles pseudo-synchrones. DATE 2003. Munich. Allemagne.

## Activités pédagogiques

---

### Enseignements (en français):

TD d'algorithmique. 20 h. DEUA : Diplôme d'Etudes Universitaires Appliquées (Bac+3) Institut d'Informatique. d'Es-Senia. Université d'Oran. Oran Algérie.

TD langage de programmation C. 20h. Diplôme d'Etudes Universitaires Appliquées. Institut d'Informatique d'Es-Senia. Université d'Oran. Oran Algérie.

### Formations :J'ai assuré les formations suivantes

Initiation à l'Informatique : Windows et bureautique « Word, Excel, PowerPoint ... ». 18h. Niveau DEUG.

3 promotions. Adem Info. Ecole privée de formation en Informatique. Oran, Algérie.

Formation accélérée : Apprendre le langage Delphi. 18h. 2 promotions.

Adem Info. Ecole privée de formation en Informatique. Oran, Algérie. Niveau Bac+2

Formation approfondie sur le langage Delphi : Aspects Gestion des Bases de Données, Les applications client-serveur. 24h. 1 promotion. Niveau Bac+3

Adem Info. Ecole privée de formation en Informatique. Oran, Algérie.

### Encadrement :

Stage de TER. Maîtrise en informatique

UFR IMA. Université de Joseph Fourier Grenoble 1. France.

Stage d'été. Maîtrise en informatique

UFR IMA. Université de Joseph Fourier Grenoble 1. France.

## Connaissances Pratiques

---

### Environnements :

Dos, Win3.x, Win95 .. 2000/millennium/XP, Win NT, UNIX, Linux, MacOS(...9, X),

Outils microsoft : Word, Powerpnt, Excel, Frontpage, ...

### Langages de programmation soft :

Pascal, C, C++, Delphi, Builder C++, VBasic, Java, lisp.

### Conception et implémentation des Bases de données :

Langage de requêtes SQL, Langages de Gestion BD : Delphi , Access.

### Conception de VLSI:

Conception, simulation, techniques de synthèse en VHDL. (Outils Synopsys, Cadence©)

### Vérification formelle :

*Techniques de vérifications formelles* : Model-checking,, Equivalence checking, Theorem proving.

*Outils & langages* : FormalCheck, RuleBase, VIS, CADP, Nu-SMV, Lisp, Objectgeode, ACL2, Omega.

## **Réalisations**

---

### **Outil d'aide à la vérification de circuits asynchrones**

02/03, Langage : C++

### **Traducteur de Petri Net vers VHDL**

01/02, Langage : C++

### **Outil d'aide à la vérification des systèmes infinis**

99/00, Langage : C++

### **Logiciel de Gestion de la paie**

98/99, Langage : Delphi

### **Prototype pour le placement des bases de données parallèles**

96/97, Langage : Delphi.

## **PHD Abstract**

---

The advances in Very Large Scale Integration (VLSI) technology in the last years has led to faster and more complex systems. The synchronous logic design encounters major problems (distribution of clock, energy, modularity) in handling this increasing complexity. Asynchronous circuits show interesting potentials in several fields such as the design of microprocessors, smart cards and circuits with low power consumption. Even medium size asynchronous circuits may display a complex behavior, due to the combinational explosion in the chronology of events that may happen. It is thus essential to apply rigorous design and validation methods. The goal of our work is to introduce formal methods into the asynchronous design flow. An asynchronous circuit can be seen as a set of communicating processes, which read data on input ports, perform some computation, and finally write on output ports. In our work, asynchronous circuit specifications are written in CHP, an enriched version of the CSP-based language initially developed by Alain Martin.

My thesis addresses the analysis and the automatic validation of asynchronous specifications written in CHP, prior to their synthesis with the TAST asynchronous design flow developed by the CIS group of TIMA. In TAST, the compiler translates CHP programs into Petri Nets (PN) and Data Flow Graphs (DFG). The synthesizer performs process decomposition and refinements on the PN formalization, depending on the selected architectural target: micro-pipeline, quasi delay insensitive circuit (QDI), or synchronous circuit.

A first feasibility study was performed, using an industrial symbolic model checker, used to perform property checking on RTL designs. The approach consisted in translating the Petri Net, interpreted as a finite state machine, as a pseudo synchronous VHDL description, where the only purpose of the pseudo clock thus introduced was to make the result of each computation cycle a visible state. I wrote the translator in C++. In essence, the translation performs a static pre-order reduction, by replacing all independent event interleavings by data-flow concurrency. Due to the semantics of process communication by signals in VHDL, channels had to be synthesized prior to property verification. This approach gives good results on models where decisions on data encoding and communication protocol are taken. But this is too late in the design process to validate the initial specifications.

In order to introduce formal verification in high level specifications, my second approach consists in using formalisms and tools coming from the field of software validation. The CADP toolset from INRIA, whose execution model is similar to the asynchronous circuits one, was selected. I have specified the translation of CHP into IF, an intermediate format to describe asynchronous parallel processes. A prototype translator that I wrote with undergraduate students is currently under test. Resulting IF programs are compiled towards a LTS (Labeled Transition Systems) and submitted to CADP for verification. In this approach, we also consider validating the specifications at lower levels, i.e. after the communications expansion according to a four phases handshake protocol. Then we can perform verification between specifications: before and after expansion of the communications. Performances have been measured on several case studies (typical asynchronous arbiters, filters and DES chip).

Our work includes the application of model reduction techniques and strategies. Finally, I have proposed a formal operational semantics for CHP, in terms of extended LTS.